



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :  
Takeru YONAGA et al. :  
Serial No.: 10/647,378 : Group Art Unit: 2858  
Filed: August 26, 2003 : Attorney Docket No. OKI.566  
For: TEST CIRCUIT PROVIDED WITH BUILT-IN SELF TEST FUNCTION

**CLAIM OF PRIORITY**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Patent Application  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Applicants in the above-identified application, hereby claim the priority date under  
the International Convention of the following Japanese application:

Appln. No. 2002-256193                      filed August 30, 2002

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC

Adam C. Volentine  
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150  
Reston, Virginia 20191  
Tel. (703) 715-0870  
Fax. (703) 715-0877

Date: December 1, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-256193

[ ST.10/C ]:

[ JP 2002-256193 ]

出 願 人

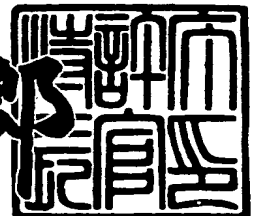
Applicant(s):

沖電気工業株式会社

2002年12月24日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3101903

【書類名】 特許願

【整理番号】 KA003859

【提出日】 平成14年 8月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G01R 31/28  
G11C 29/00

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 世永 丈

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 福山 弘幸

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会  
社内

【氏名】 田仲 均

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100086807

【弁理士】

【氏名又は名称】 柿本 恭成

【手数料の表示】

【予納台帳番号】 007412

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001054

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 テスト回路、そのテスト回路を内蔵した半導体集積回路装置、及びそのテスト方法

【特許請求の範囲】

【請求項 1】 被テスト回路に対するテストモードを選択するためのデータを入力し、第 1 のクロックに同期してそのテストモード選択結果を出力する入力手段と、

前記テストモード選択結果に応答し、第 2 のクロックに同期してテストパターンを生成して前記被テスト回路へ出力するパターン生成手段と、

前記第 2 のクロックに同期して前記被テスト回路のテスト結果を入力し、このテスト結果と前記被テスト回路に与えられた前記テストパターンとの一致／不一致を比較する比較手段と、

前記比較手段の比較結果を保持し、前記第 1 のクロックに同期して出力する出力手段と、

を備えたことを特徴とするテスト回路。

【請求項 2】 被テスト回路に対するテストモードを選択するためのデータを入力し、第 1 のクロックに同期してそのテストモード選択結果を出力する入力手段と、

前記テストモード選択結果に応答し、第 2 のクロックに同期してテストパターンを生成して前記被テスト回路へ出力すると共に、前記テストパターンの生成の終了を示すテストパターン終了信号を出力するパターン生成手段と、

前記第 2 のクロックに同期して前記被テスト回路のテスト結果を入力し、このテスト結果と前記被テスト回路に与えられた前記テストパターンとの一致／不一致を比較する比較手段と、

前記比較手段の比較結果を保持し、前記第 1 のクロックに同期して出力する出力手段と、

を備えたことを特徴とするテスト回路。

【請求項 3】 前記比較手段は、前記テスト結果と前記テストパターンとを比較して前記被テスト回路の不良個所を検出し、

前記出力手段は、前記比較手段の検出結果を保持し、前記第 1 のクロックに同期して出力する構成にしたことを特徴とする請求項 1 又は 2 記載のテスト回路。

【請求項 4】 前記被テスト回路は、半導体メモリであることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載のテスト回路。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 項に記載のテスト回路と、前記第 1 のクロックに同期して信号の論理処理を行うロジック回路とが、同一の半導体基板上に形成され、

前記テスト回路に供給するための前記第 2 のクロックを発生するクロック発生手段が、前記半導体基板の内部又は外部に設けられていることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 記載の半導体集積回路装置を用い、

前記第 1 のクロックに同期して前記被テスト回路に対するテストモードを設定する第 1 のステップと、

前記第 2 のクロックに同期して前記テスト回路により前記被テスト回路をテストする第 2 のステップと、

前記第 2 のステップ期間中に前記第 2 のステップと並行して、前記第 1 のクロックに同期して前記ロジック回路に対するテストを行う第 3 のステップと、

を行うことを特徴とするテスト方法。

【請求項 7】 請求項 2 ～ 4 のいずれか 1 項に記載のテスト回路と、前記第 1 のクロックに同期して信号の論理処理を行うロジック回路とが、同一の半導体基板上に形成され、前記テスト回路に供給するための前記第 2 のクロックを発生するクロック発生手段が、前記半導体基板の内部又は外部に設けられた半導体集積回路装置を用い、

前記第 1 のクロックに同期して前記被テスト回路に対するテストモードを設定する第 1 のステップと、

前記第 2 のクロックに同期して前記テスト回路により前記被テスト回路をテストする第 2 のステップと、

前記第 2 のステップと並行して、前記第 1 のクロックを用いて前記ロジック回路に対するテストを行う第 3 のステップと、

前記第 2 のクロックに同期して前記テスト回路から前記テストパターン終了信号が出力されると、このテストパターン終了信号をテストによりモニタして前記第 3 のステップを終了し、前記テスト回路から出力される被テスト回路のテストデータを用い、前記テストにより前記第 1 のクロックに同期して前記被テスト回路のパス・フェイルチェックを行う第 4 のステップと、

を行うことを特徴とするテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

【0002】

本発明は、高速半導体メモリ等の被テスト回路をテストするための、周波数の異なる 2 系統のクロックを備えた内蔵自己テスト (Built-In Self Test、以下「BIST」という。) 回路等のテスト回路と、このテスト回路を内蔵したコントロールチップやシステム大規模集積回路 (以下「システムLSI」という。) 等の半導体集積回路装置と、このテスト方法に関するものである。

【0003】

【従来の技術】

【0004】

従来、半導体集積回路装置等をテストするためのテスト回路の一つとして、BIST回路に関する技術が特開平 1 0 - 1 9 9 2 9 4 号公報、特開 2 0 0 2 - 1 7 4 6 6 2 号公報等に記載されている。

【0005】

図 1 1 は、従来の BIST 回路の一構成例を示す概略の構成図である。

【0006】

この BIST 回路 1 0 は、被テスト回路 (例えば、半導体メモリの一つである同期型ダイナミック・ランダム・アクセス・メモリ、Synchronous Dynamic Random Access Memory、以下「SDRAM」という。) 2 0 のコマンドを生成する回路であり、例えば、テスト 3 5 に接続して使用される。

【0007】

BIST回路10は、BIST制御回路11を有し、この出力側に、パターン生成回路12及びデータ比較器13が接続され、さらにこのデータ比較器13の出力側に、出力制御回路14が接続されている。これらのBIST回路11、パターン生成回路12、データ比較器13及び出力制御回路14は、同一の半導体基板上に形成されている。

#### 【0008】

BIST回路11は、例えば、テスト35から出力されるテストクロック $tck$ 、テストモード信号 $tms$ 、及びテストデータ入力信号 $tdi$ を入力し、そのクロック $tck$ に同期してパルス状のBIST制御信号 $ctrl$ を出力する回路である。クロック $tck$ 及び信号 $tms$ 、 $tdi$ 、 $t do$ は、例えば、JTAG規格に準拠した標準シリアルインタフェース信号である。パターン生成回路12は、制御信号 $ctrl$ を入力し、クロック $tck$ に同期してSDRAM20の入力信号であるクロック $sck$ 、制御信号であるコマンド $csb$ 、 $rasb$ 、 $casb$ 、 $web$ 、アドレス $adr$ 、及び入力データ $din$ を生成する回路である。

#### 【0009】

コマンド $csb$ 、 $rasb$ 、 $casb$ 、 $web$ のうち、制御信号 $csb$ は、SDRAM20内に設けられた複数のメモリセルアレイ中の一つを選択する反転チップセレクト (chip select) 信号である。制御信号 $rasb$ は、行アドレスのラッチ及びその行アドレスに基づき、ワード線を選択やメモリセルのリフレッシュを行う反転ロウアドレスストロブ (row address strobe) 信号である。制御信号 $casb$ は、列アドレスのラッチ及びその列アドレスに基づき、ビット線を選択を行い、書き込みあるいは読み出し動作を行う反転コラムアドレスストロブ (column address strobe) 信号である。又、 $web$ は、行アドレス、列アドレスで選択されたメモリセルに対する書き込み／読み出しモードを決める反転ライトイネーブル (write enable) 信号である。

#### 【0010】

データ比較器13は、クロック $tck$ 、制御信号 $ctrl$ 、期待値である入力データ $din$ 、及びSDRAM20の出力データ $dout$ を入力し、そのクロック $tck$ に同期して、入力データ $din$ と出力データ $dout$ との一致／不一致



を比較して比較結果compoutを出力する回路である。出力制御回路14は、クロックt c k及び比較結果compoutを入力し、そのクロックt c kに同期してパルス状のテストデータ出力信号t d oをテスト35へ出力する回路である。

図12は、図11中のSDRAM20の一構成例を示す概略の構成図である。

#### 【0011】

このSDRAM20では、図11のパターン生成回路12から出力されたコマンドc s b, r a s b, c a s b, w e bが、コマンドコントローラ21に与えられると、このコマンドコントローラ21から、クロックs c kに同期したSDRAM全体を制御するための複数の制御信号が出力される。コマンドコントローラ21の出力制御信号が、入／出力（以下「I／O」という。）コントローラ22とI／Oバッファ23に入力されと、そのI／Oコントローラ22の制御により、I／Oバッファ23に対してデータの入出力が行われる。

#### 【0012】

【発明が解決しようとする課題】

#### 【0013】

しかしながら、従来のBIST回路10では、次のような課題があった。

#### 【0014】

テスト35から出力されるテストクロックt c kは、例えば、40MHz程度であり、このテストクロックt c kに同期してBIST回路10内の全ての回路ブロックが動作する。さらに、パターン生成回路12から出力されるクロックs c kは、テストクロックt c kに同期したこれ以下の周数であり、このクロックs c kによってSDRAM20がテストされる。

#### 【0015】

例えば、被テスト用のSDRAM20が高速用であって、この実動作周波数がテストクロックt c kの周波数よりも速い100MHz以上の場合、低速用のテスト35を用いて高速用のSDRAM20を実動作周波数でテストすることができない。

#### 【0016】

即ち、従来のBISI回路10では、高速用のSDRAM20を実動作周波数

でテストしたい場合、かつ、その実動作周波数がテストクロック *t c k* を越えている場合には、テストをすることができない。

【0017】

そこで、高速用の S D R A M 2 0 をテストする場合には、それに対応した高速のテストクロック *t c k* を発生でき、高速のテストデータ出力信号 *t d o* を処理できる高速用のテスト 3 5 が必要になる。しかし、S D R A M 等の半導体集積回路の高速化の進歩はめざましく、それに対応させてテストを用意するとなれば、設備費の負担が増えるばかりか、それを使いこなすための訓練が必要になり、不利不便であった。

【0018】

【課題を解決するための手段】

【0019】

前記課題を解決するために、本発明のうちの請求項 1 に係る発明では、テスト回路において、被テスト回路に対するテストモードを選択するためのデータを入力し、第 1 のクロックに同期してそのテストモード選択結果を出力する入力手段と、前記テストモード選択結果に応答し、第 2 のクロックに同期してテストパターンを生成して前記被テスト回路へ出力するパターン生成手段と、前記第 2 のクロックに同期して前記被テスト回路のテスト結果を入力し、このテスト結果と前記被テスト回路に与えられた前記テストパターンとの一致／不一致を比較する比較手段と、前記比較手段の比較結果を保持し、前記第 1 のクロックに同期して出力する出力手段とを備えている。

【0020】

このような構成を採用したことにより、テストモード選択用のデータを入力手段に入力すれば、この入力手段から、第 1 のクロックに同期してテストモード選択結果が出力される。このテストモード選択結果に基づき、パターン生成手段から、第 2 のクロックに同期してテストパターンが出力され、被テスト回路のテストが行われる。テスト結果は、比較手段によって期待値のテストパターンと比較され、この比較結果が出力手段に保持され、第 1 のクロックに同期して外部へ出力される。

## 【 0 0 2 1 】

請求項 2 に係る発明では、テスト回路において、被テスト回路に対するテストモードを選択するためのデータを入力し、第 1 のクロックに同期してそのテストモード選択結果を出力する入力手段と、前記テストモード選択結果に応答し、第 2 のクロックに同期してテストパターンを生成して前記被テスト回路へ出力すると共に、前記テストパターンの生成の終了を示すテストパターン終了信号を出力するパターン生成手段と、前記第 2 のクロックに同期して前記被テスト回路のテスト結果を入力し、このテスト結果と前記被テスト回路に与えられた前記テストパターンとの一致／不一致を比較する比較手段と、前記比較手段の比較結果を保持し、前記第 1 のクロックに同期して出力する出力手段とを備えている。

## 【 0 0 2 2 】

このような構成を採用したことにより、パターン生成手段では、テストパターンの生成が終了すると、テストパターン終了信号を外部へ出力する。

## 【 0 0 2 3 】

請求項 3 に係る発明では、請求項 1 又は 2 のテスト回路において、前記比較手段は、前記テスト結果と前記テストパターンとを比較して前記被テスト回路の不良個所を検出し、前記出力手段は、前記比較手段の検出結果を保持し、前記第 1 のクロックに同期して出力する構成にしている。

## 【 0 0 2 4 】

このような構成を採用したことにより、比較手段が被テスト回路の不良個所を検出すると、この検出結果が出力手段に保持され、第 1 のクロックに同期して外部へ出力される。

## 【 0 0 2 5 】

請求項 4 に係る発明では、請求項 1 ～ 3 のいずれか 1 項のテスト回路において、前記被テスト回路は、半導体メモリである。

## 【 0 0 2 6 】

請求項 5 に係る発明では、半導体集積回路装置において、請求項 1 ～ 4 のいずれか 1 項のテスト回路と、前記第 1 のクロックに同期して信号の論理処理を行うロジック回路とが、同一の半導体基板上に形成され、前記テスト回路に供給する

ための前記第2のクロックを発生するクロック発生手段が、前記半導体基板の内部又は外部に設けられている。

## 【0027】

このような構成を採用したことにより、テスト回路により、第2のクロックに同期して被テスト回路のテストが行われている間、これと並行して、第1のクロックを用いてロジック回路のテストが行える。

## 【0028】

請求項6に係る発明では、請求項5の半導体集積回路装置を用いたテスト方法において、第1のステップにおいて、前記第1のクロックに同期して、前記被テスト回路に対するテストモードを設定する。第2のステップにおいて、前記第2のクロックに同期して、前記テスト回路により前記被テスト回路をテストする。第3のステップにおいて、前記第2のステップ期間中に前記第2のステップと並行して、前記第1のクロックに同期して前記ロジック回路に対するテストを行う。

## 【0029】

請求項7に係る発明では、請求項2～4のいずれか1項のテスト回路と、前記第1のクロックに同期して信号の論理処理を行うロジック回路とが、同一の半導体基板上に形成され、前記テスト回路に供給するための前記第2のクロックを発生するクロック発生手段が、前記半導体基板の内部又は外部に設けられた半導体集積回路装置を用いたテスト方法において、次のような第1～第4のステップを行う。

## 【0030】

まず、第1のステップにおいて、前記第1のクロックに同期して、前記被テスト回路に対するテストモードを設定する。第2のステップにおいて、前記第2のクロックに同期して、前記テスト回路により前記被テスト回路をテストする。第3のステップにおいて、前記第2のステップと並行して、前記第1のクロックを用いて前記ロジック回路に対するテストを行う。その後、第4のステップにおいて、前記第2のクロックに同期して前記テスト回路から前記テストパターン終了信号が出力されると、このテストパターン終了信号をテストによりモニタして前

記第3のステップを終了し、前記テスト回路から出力される被テスト回路のテストデータを用い、前記テストにより前記第1のクロックに同期して前記被テスト回路のパス・フェイルチェックを行う。

【0031】

【発明の実施の形態】

【0032】

[第1の実施形態]

【0033】

(構成)

【0034】

図1は、本発明の第1の実施形態を示すテスト回路（例えば、BIST回路）の概略の構成図である。

【0035】

このBIST回路40は、従来の図11のようなテスト35を用いて被テスト回路（例えば、半導体メモリの一つである図12のようなSDRAM20）をテストする回路であり、入力手段（例えば、BIST制御回路50）を有し、この出力側にパターン生成手段（例えば、パターン生成回路60）及び比較手段（例えば、データ比較器70）が接続されている。さらに、データ比較器70の出力側に、出力手段（例えば、出力制御回路80）が接続されている。これらのBIST制御回路50、パターン生成回路60、データ比較器70、及び出力制御回路80は、例えば、同一の半導体基板に形成されている。

【0036】

BIST制御回路50は、SDRAM20に対するテストモードを選択するためのデータ（例えば、JTAG規格に準拠した標準シリアルインタフェース用のデータであって、テスト35から供給される40MHz程度の第1のクロックであるテストクロック $t_{ck}$ 、テストモード信号 $t_{ms}$ 、及びテストデータ入力信号 $t_{di}$ ）を入力し、テストクロック $t_{ck}$ に同期してそのテストモード選択結果（例えば、BIST制御信号 $ctrl$ ）をパターン生成回路60へ出力する回路である。

## 【0037】

パターン生成回路60は、BIST制御信号`ctrl`、及び外部から供給される第2のクロック（例えば、100MHz以上の外部クロック`exck`）を入力し、BIST制御信号`ctrl`に応答し、外部クロック`exck`に同期してテストパターン（例えば、SDRAM20の入力信号であるクロック`sck`、コマンド`csb`、`rasb`、`casb`、`web`、アドレス`adr`、及び入力データ`din`）を生成し、それをSDRAM20へ出力すると共に、その入力データ`din`を期待値としてデータ比較器70へ出力する回路である。

## 【0038】

データ比較器70は、外部クロック`exck`に同期してSDRAM20のテスト結果である出力データ`dout`を入力すると共に、BIST制御信号`ctrl`とSDRAM20に与えられたテストパターン（例えば、期待値である入力データ`din`）とを入力し、入力データ`din`と出力データ`dout`との一致／不一致を比較して比較結果`compout`を出力制御回路80へ出力する回路である。

## 【0039】

出力制御回路80は、比較結果`compout`を入力して保持し、入力されたテストクロック`tcck`に同期して、その比較結果`compout`に対応するテストデータ出力信号`tdo`をテスト35へ出力する回路である。

## 【0040】

図2は、図1のBIST回路40の内部回路を示す概略の構成図である。

## 【0041】

BIST制御回路50は、テストアクセスポート（Test Access Port、以下「TAP」という。）コントローラ51を有し、この出力側に制御レジスタ52が接続されている。TAPコントローラ51は、シリアルなテストクロック`tcck`及びテストモード信号`tms`を入力し、レジスタ制御信号`s51`を制御レジスタ52へ出力する回路である。制御レジスタ52は、制御信号`s51`に基づき、シリアルなテストデータ入力信号`tdi`を取り込んでパラレルな信号に変換し、起動信号である論理“H”のBIST制御信号`ctrl`をパターン生成回路及びデータ比較器70へ出力する回路である。

## 【0042】

パターン生成回路60は、BI ST 制御信号ctrとテスト35等から与えられるリセット信号trstとを入力するデータラッチ回路61を有し、この出力側にステートマシン62が接続されている。ステートマシン62の入力側には、バッファ63が接続され、さらに、そのステートマシン62の出力側に、コマンド生成回路64、アドレス生成回路65、及びデータ生成回路66が接続されている。

## 【0043】

データラッチ回路61は、制御レジスタ52からのBI ST制御信号ctrlが“H”になると、これをラッチして保持し、リセット信号trstが入力されると、ラッチが解除される回路である。この出力側に接続されたステートマシン62は、ラッチ回路61から“H”が与えられると動作し、入力される外部クロックexckに同期して複数種類のステートを生成し、コマンド生成回路64、アドレス生成回路65及びデータ生成回路66を制御するための制御信号を出力する回路である。ステートマシン62の入力側に接続されたバッファ63は、外部クロックexckを駆動してクロックsckをSDRAM20へ与える回路である。

## 【0044】

ステートマシン62の制御により、コマンド生成回路63でコマンドcsb, rasb, casb, webが生成され、アドレス生成回路65でアドレスadrが生成され、データ生成回路66で入力データdinが生成され、これらのコマンドcsb, rasb, casb, web等がSDRAM20に与えられるようになっている。

## 【0045】

データ比較器70は、BI ST制御信号ctrlにより動作し、外部クロックexckに同期してSDRAM20の出力データdoutを取り込むフリップフロップ（以下「FF」という。）71を有している。FF71の出力側には、データ比較用の2入力の排他的論理和ゲート（以下「EXOR」という。）72、データ比較用の多入力のEXOR73、及びデータ保持用のデータラッチ回路7

4 が縦続接続されている。

#### 【0046】

EXOR72は、FF71で取り込んだSDRAM20の出力データdoutと、データ生成回路66から与えられる期待値の入力データdinとを比較し、両入力不一致の時には出力が“H”となり、両入力一致するときには出力が“L”となる回路である。EXOR72の出力側に接続されたEXOR73は、EXOR71の出力信号と他の信号とを比較して比較結果s73を出力する回路であり、この出力側にデータラッチ回路74が接続されている。データラッチ回路74は、EXOR73の比較結果s73の“H”をラッチして保持し、“H”の比較結果compoutを出力制御回路80へ出力し、リセット信号trstによりラッチ状態が解除される回路である。比較結果compoutの“H”は、出力制御回路80によりラッチされ、このラッチ内容に対応するシリアルなテストデータ出力信号tdoが、テストクロックtckに同期してテスト85へ出力されるようになっている。

#### 【0047】

データラッチ回路61及び74は、例えば、同一の回路で構成されている。

#### 【0048】

図3は、図2中のデータラッチ回路61の構成例を示す回路図である。

#### 【0049】

このデータラッチ回路61では、入力されるBIST制御信号ctrlが、3段のインバータ61a, 61b, 61cで遅延され、この遅延結果とBIST制御信号ctrlとから、NANDゲート61dによって否定論理積が求められる。この論理結果は、たすき掛け接続された2つのNANDゲート61e, 61fからなるFFにより、保持される。

#### 【0050】

(テスト方法)

#### 【0051】

図4は、図1のBIST回路40を用いたSDRAM20のテスト方法の一例を示す動作波形図である。この動作波形図では、SDRAM20の読み出し動作



の例が示されている。

【0052】

先ず、SDRAM20をテストするための書き込み動作を簡単に説明する。

【0053】

テスト35からシリアルなテストクロック $tck$ 、テストモード信号 $tms$ 、及びテストデータ入力信号 $tdi$ を出力して、BIST回路40へ供給すると共に、外部クロック $exck$ を外部からBIST回路40へ供給する。すると、BIST回路40内において、テストクロック $tck$ に同期して、BIST制御回路50からBIST制御信号 $ctrl$ が出力される。

【0054】

このBIST制御信号 $ctrl$ をトリガにして、パターン生成回路60が動作し、外部クロック $exck$ に同期してクロック $sck$ 、コマンド $csb$ 、 $rasb$ 、 $casb$ 、 $web$ 、アドレス $adr$ 、及び入力データ $din$ が生成され、SDRAM20に供給される。供給された入力データ $din$ は、図12のメモリセルアレイ31-1、31-2内のメモリセルに順次書き込まれていく。

【0055】

次に、図4を参照しつつ、SDRAM20の読み出し動作を説明する。

【0056】

図4の時刻 $t_0$ において、テスト35からBIST回路40へ、テストクロック $tck$ 、テストモード信号 $tms$ 、及びテストデータ入力信号 $tdi$ を供給すると、このテストモード信号 $tms$ 及びテストデータ入力信号 $tdi$ より、テストパターン、アドレススキャン法等のテストモードを決定するためのデータが、BIST制御回路50に入力される。外部から供給された外部クロック $exck$ は、パターン生成回路60内のバッファ63により駆動され、その外部クロック $exck$ に同期したクロック $sck$ が出力されてSDRAM20に与えられる。

【0057】

時刻 $t_1$ において、BIST制御回路50では、TOPコントローラ51によってテストモードが選択され、この選択結果に対応したBIST制御信号 $ctrl$ の“H”が、テストクロック $tck$ に同期して制御レジスタ52から出力され

、パターン生成回路60及びデータ比較器70へ供給される。

【0058】

時刻 $t_2$ において、パターン生成回路60では、BIST制御信号 $ctrl$ の“H”がデータラッチ回路61にラッチされて保持され、ステートマシン62が外部クロック $exck$ に同期して動作する。このステートマシン62の制御により、外部クロック $exck$ に同期して、コマンド生成回路63でコマンド $csb$ 、 $rasb$ 、 $casb$ 、 $web$ が生成されると共に、アドレス生成回路65でアドレス $adr$ が生成され、これらのコマンド $csb$ 、 $rasb$ 、 $casb$ 、 $web$ 及びアドレス $adr$ がSDRAM20に与えられる。さらに、データ生成回路66で入力データ $din$ が生成され、SDRAM20及びデータ比較器70に与えられる。

【0059】

SDRAM20では、時刻 $t_2$ で制御信号 $csb$ が“L”、制御信号 $rasb$ が“L”になり、その後、制御信号 $casb$ が“L”になると、図12のメモリセルアレイ31-1、31-2に書き込まれていたテスト用のデータ $Q_1$ 、 $Q_2$ 、 $Q_3$ 、・・・が順次読み出され、この出力データ $dout$ がデータ比較器70に与えられる。

【0060】

データ比較器70では、BIST制御信号 $ctrl$ によってFF71が動作し、このFF71により、外部クロック $exck$ に同期して出力データ $dout$ が取り込まれる。取り込まれた出力データ $dout$ は、EXOR72、73により、期待値の入力データ $din$ と比較される。出力データ $dout$ と期待値の入力データ $din$ とが一致するときには、EXOR73の比較結果 $s73$ が“L”、不一致のときには比較結果 $s73$ が“H”となる。

【0061】

例えば、時刻 $t_3$ において、SDRAM20の出力データ $dout$ の $Q_3$ が不良の場合、外部クロック $exck$ に同期して生成された比較結果 $s73$ が“H”となり、この“H”がデータラッチ回路74でラッチされて保持される。そのため、データラッチ回路74から出力された比較結果 $compout$ は、時刻 $t_3$ 以降

、“H”状態に保持される。

【0062】

時刻 $t_4$ において、出力制御回路80では、テストクロック $tck$ に同期して比較結果 $compout$ の“H”をラッチし、“H”のテストデータ出力信号 $tdo$ を時刻 $t_4$ 以降保持して出力し、テスト35に与える。テスト35では、テストデータ出力信号 $tdo$ にてSDRAM20のパス・フェイル判定を行うことができる。

【0063】

このように、時刻 $t_0 \sim t_1$ の期間と時刻 $t_4$ 以降の期間とにおいて、図1のBIST回路40がテストクロック $tck$ に同期して動作し、時刻 $t_1 \sim t_4$ の期間において、BIST回路40が外部クロック $exck$ に同期して動作する。

【0064】

(効果)

【0065】

この第1の実施形態では、次の(a)、(b)のような効果がある。

【0066】

(a) テストクロック $tck$ とは非同期の外部クロック $exck$ をBIST回路40に供給し、この外部クロック $exck$ をパターン生成回路60内のバッファ63を通して、被試験メモリの実動作周波数のクロック $sck$ をSDRAM20に与えるようにしたので、従来不可能であった実動作周波数テストを容易に実現できる。

【0067】

(b) BIST制御回路50から出力されるBIST制御信号 $ctrl$ が“H”になると、この“H”をパターン生成回路60内のデータラッチ回路61でラッチして保持し、同様に、データ比較器70内において、EXORゲート73の比較結果 $s73$ が不良状態の“H”になると、この“H”をデータラッチ回路74でラッチして保持するようにしている。そのため、テストクロック $tck$ と外部クロック $exck$ との2系統の非同期クロック間のデータ授受を、複雑な回路を必要とせずに、簡単なデータラッチ回路61、74のみで可能になる。従っ

て、外部クロック *exck* の周波数は、いかなる制限を受けることもなく、任意の周波数を設定することができる。

【0068】

[第2の実施形態]

【0069】

(構成)

【0070】

図5は、本発明の第2の実施形態を示すテスト回路（例えば、BIST回路）の概略の構成図、及び図6は、図5のBIST回路の内部回路を示す概略の構成図である。この図5及び図6において、第1の実施形態を示す図1及び図2中の要素と共通の要素には共通の符号が付されている。

【0071】

このBIST回路40Aが第1の実施形態のBIST回路40と異なる点は、第1の実施形態のパターン生成回路60に代えて、テストパターン終了信号 *testend* を出力できるパターン生成回路60Aを設けたことである。

【0072】

この第2の実施形態のパターン生成回路60Aでは、図6に示すように、図2のパターン生成回路60内に、新たに、テストパターン終了信号 *testend* を出力するための回路（例えば、論理回路67）を設けた構成になっている。論理回路67は、コマンド生成回路64の出力とアドレス生成回路65の出力との論理を求めて、テストパターンの終了を検出し、このテストパターン終了信号 *testend* を外部のテスト35等へ出力する回路である。

【0073】

その他の構成は、第1の実施形態と同様である。

【0074】

(テスト方法)

【0075】

図7は、図5のBIST回路40Aを用いたSDRAM20のテスト方法の一例を示す動作波形図である。この動作波形図では、第1の実施形態の動作波形を

示す図4と同様に、SDRAM20の読み出し動作の例が示されている。

【0076】

先ず、第1の実施形態と同様にして、テストデータをSDRAM20に書き込む。

【0077】

次に、図7に示すように、SDRAM20からテストデータの読み出しが行われる。ここで、図7の時刻 $t_0 \sim t_4$ までは、図4と同様の動作が行われる。

【0078】

即ち、時刻 $t_0$ において、テスト35からBIST回路40Aへ、テストクロック $t_{ck}$ 、テストモード信号 $t_{ms}$ 、及びテストデータ入力信号 $t_{di}$ が供給される。外部から供給された外部クロック $ex_{ck}$ は、パターン生成回路60A内のバッファ63により駆動され、その外部クロック $ex_{ck}$ に同期したクロック $s_{ck}$ が出力されてSDRAM20に与えられる。

【0079】

時刻 $t_1$ において、制御レジスタ52から、BIST制御信号 $ctrl$ の“H”が、テストクロック $t_{ck}$ に同期して出力され、パターン生成回路60及びデータ比較器70へ供給される。

【0080】

時刻 $t_2$ において、パターン生成回路60Aでは、BIST制御信号 $ctrl$ の“H”がデータラッチ回路61にラッチされて保持され、ステートマシン62の制御により、外部クロック $ex_{ck}$ に同期して、コマンド生成回路63でコマンド $csb$ ,  $rasb$ ,  $casb$ ,  $web$ が生成されると共に、アドレス生成回路65でアドレス $adr$ が生成され、これらのコマンド $csb$ ,  $rasb$ ,  $casb$ ,  $web$ 及びアドレス $adr$ がSDRAM20に与えられる。さらに、データ生成回路66で入力データ $d_{in}$ が生成され、SDRAM20及びデータ比較器70に与えられる。すると、SDRAM20に書き込まれていたテスト用のデータ $Q_1$ ,  $Q_2$ ,  $Q_3$ , ... が順次読み出され、この出力データ $d_{out}$ がデータ比較器70に与えられる。

【0081】

データ比較器70内のEXOR72, 73により、出力データdoutと期待値の入力データdinとが比較される。例えば、時刻t3において、SDRAM20の出力データdoutのQ3が不良の場合、比較結果s73が“H”となり、この“H”がデータラッチ回路74でラッチされて保持される。

## 【0082】

時刻t4において、出力制御回路80により、テストクロックtckに同期して比較結果compoutの“H”がラッチされ、“H”のテストデータ出力信号tdoが出力される。

## 【0083】

時刻t5において、パターン生成回路40A内のコマンド生成回路64及びアドレス生成回路65により、最終のコマンドcsb, rasb, casb, web及びアドレスadrが生成され、論理回路67に与えられると共に、SDRAM20へ供給される。これにより、SDRAM20のプリチャージが行われ、活性化した“H”のワード線が“L”に引き下げられる等の読み出し終了の処理が行われる。

## 【0084】

その後、時刻t6において、論理回路67により、テストパターンの終了を示すテストパターン終了信号testendが生成され、外部のテスト35へ出力される。

## 【0085】

(効果)

## 【0086】

この第2の実施形態では、第1の実施形態と同様の効果がある他に、次の(c)のような効果もある。

## 【0087】

(c) テストパターン終了信号testendを出力するための論理回路67を、パターン生成回路40A内に設けたので、そのテストパターン終了信号testendをBIST回路40Aの外部に出力することにより、従来、不可能であったBIST回路の内部動作の終了をテスト35にてモニタ(検知)できる。これ

により、テスト 3 5 側におけるテストプログラムの作成が容易になる。

【 0 0 8 8 】

[ 第 3 の実施形態 ]

【 0 0 8 9 】

(構成)

【 0 0 9 0 】

図 8 は、第 2 の実施形態の図 5 の B I S T 回路 4 0 A を搭載した本発明の第 3 の実施形態を示す半導体集積回路装置（例えば、システム L S I ）の構成例の概略の構成図である。

【 0 0 9 1 】

このシステム L S I 1 0 0 では、コントロールチップ 1 1 0 と図 5 の S D R A M 2 0 とが、同一のパッケージ内に収容されている。コントロールチップ 1 1 0 は、図 5 の B I S T 回路 4 0 A と、外部クロック e x c k を発生するクロック発生手段（例えば、オシレータ（発振回路） 1 1 1 ）と、ロジック回路 1 1 2 とを有し、これらが同一の半導体基板上に形成されている。

【 0 0 9 2 】

B I S T 回路 4 0 A は、テストクロック t c k 、テストモード信号 t m s 、テストデータ入力信号 t d i 、外部クロック e x c k 、及び S D R A M 2 0 の出力データ d o u t を入力し、テストデータ出力信号 t d o 、テストパターン終了信号 t e s t e n d 、及び S D R A M 2 0 の入力信号（クロック s c k 、コマンド c s b , r a s b , c a s b , w e b 、アドレス a d r 、入力データ d o u t ）を出力する回路である。ロジック回路 1 1 2 は、テスト 3 5 から出力されるテストクロック t c k 及びテスト信号 t s を入力し、テスト結果 t o u t をテスト 3 5 へ出力する回路である。S D R A M 2 0 は、クロック s c k 、コマンド c s b , r a s b , c a s b , w e b 、アドレス a d r 、及び入力データ d o u t を入力し、出力データ d o u t を出力する半導体メモリである。

【 0 0 9 3 】

(テスト方法)

【 0 0 9 4 】

図9は、図8のシステムLSI100のテスト方法を示すテストフローチャートである。

【0095】

テストがスタートし、ステップST1において、テスト35からテストクロック $tck$ 、テストモード信号 $tms$ 、及びテストデータ入力信号 $tdi$ をシステムLSI100へ供給すると、テストクロック $tck$ に同期して、テストモード信号 $tms$ 及びテストデータ入力信号 $tdi$ により、テストパターン、アドレススキャン方法等のテストモードを決定するためのデータがBIST回路40Aに入力され、このBIST回路40Aが活性化する。

【0096】

ステップST2において、活性化されたBIST回路40Aは、ステップST1でのテストモードに従い、オシレータ111から供給される外部クロック $exck$ に同期して、SDRAM20に供給するためのクロック $sck$ 、コマンド $csb$ 、 $rasb$ 、 $casb$ 、 $web$ 、及びアドレス $adr$ を生成し、SDRAM20のテストを行う。このステップST2の期間のテスト中は、テストクロック $tck$ には依存しない。

【0097】

ステップST3～ST5において、ステップST2と並行して、テスト35からロジック回路112へテスト信号 $ts$ を供給し、テストクロック $tck$ を使ってロジック回路112の様々な周波数のテストを行う。

【0098】

ステップST6において、外部クロック $exck$ に同期して、BIST回路40Aから、SDRAM20のテストが終了したことを知らせるテストパターン終了信号 $testend$ が出力される。

【0099】

ステップST7において、テスト35は、テストが終了したことを受けて、テストクロック $tck$ に同期して、テストデータ出力信号 $tdo$ にてSDRAM20のパス・フェイルの判定を行い、テストを終了する。

【0100】



(効果)

【0101】

この第3の実施形態では、次の(1)、(2)のような効果がある。

【0102】

(1) テストクロック *t c k* とは別系統の外部クロック *e x c k* を発生するオシレータ 1 1 1 を、コントロールチップ 1 1 0 に設けたので、SDRAM 2 0 とロジック回路 1 1 2 をそれぞれ独立に制御できる。これにより、SDRAM 2 0 とロジック回路 1 1 2 の並行テストが可能となる。さらに、並行テスト時において、SDRAM 2 0 には特定の周波数を与え、ロジック回路 1 1 2 は様々な周波数を与えることが可能である。これらのことから、テスト時間の大幅な短縮が期待できる。

【0103】

(2) コントロールチップ 1 1 0 からテストパターン終了信号 *testend* を出力する構成にしたので、並行テスト時のテスト 3 5 での複雑な制御を容易にできる。

【0104】

[第4の実施形態]

【0105】

(構成)

【0106】

図 1 0 は、本発明の第2の実施形態の図 5 の B I S T 回路 4 0 A を搭載した本発明の第4の実施形態を示す半導体集積回路装置（例えば、システム基板）の構成例の概略の構成図である。この図 1 0 において、第3の実施形態を示す図 8 中の要素と共通の要素には共通の符号が付されている。

【0107】

このシステム基板 2 0 0 は、システム L S I 1 0 0 A と、外部クロック *e x c k* を発生させるクロック発生手段（例えば、水晶発振器等の発振器） 1 1 1 A とが、同一の基板上に搭載されている。

【0108】

システムLSI100Aは、コントロールチップ110Aと図5のSDRAM20とが、同一のパッケージ内に収容されている。コントロールチップ110Aは、図5のBIST回路40Aと、ロジック回路112とを有し、これらが同一の半導体基板上に形成されている。

#### 【0109】

第3の実施形態とほぼ同様に、BIST回路40Aは、テスト35から供給されるテストクロック $tck$ 、テストモード信号 $tms$ 、及びテストデータ入力信号 $tdi$ と、発振器111Aから供給される外部クロック $exck$ と、SDRAM20の出力データ $dout$ とを所定のタイミングで入力し、テストデータ出力信号 $t do$ 、テストパターン終了信号 $testend$ 、及びSDRAM20の入力信号（クロック $sck$ 、コマンド $csb$ ,  $rasb$ ,  $casb$ ,  $web$ 、アドレス $adr$ 、入力データ $dout$ ）を所定のタイミングで出力する回路である。ロジック回路112は、テスト35から供給されるテストクロック $tck$ 及びテスト信号 $ts$ を入力し、テストを行った後に、テスト結果 $t out$ をテスト35へ出力する回路である。SDRAM20は、クロック $sck$ 、コマンド $csb$ ,  $rasb$ ,  $casb$ ,  $web$ 、アドレス $adr$ 、及び入力データ $dout$ を入力し、出力データ $dout$ を出力する半導体メモリである。

#### 【0110】

(テスト方法)

#### 【0111】

図10のシステム基板200では、第3の実施形態の図9と同様にしてテストが行われる。

#### 【0112】

(効果)

#### 【0113】

この第4の実施形態では、第3の実施形態の効果(1)、(2)と同様の効果が得られる他に、次の(3)のような効果もある。

#### 【0114】

(3) システムLSI100Aの外部に発振器111Aを設けたので、シス

テム L S I 1 0 0 A のチップ面積を低減できる。

【0 1 1 5】

〔利用形態〕

【0 1 1 6】

本発明は、上記実施形態に限定されず、種々の変形や利用形態が可能である。この変形や利用形態としては、例えば、次の(i)～(iii)のようなものがある。

【0 1 1 7】

(i) 図2及び図6において、出力手段である出力制御回路80を省略し、この出力機能をデータラッチ回路74に持たせるようにしても良い。この場合、出力手段となるデータラッチ回路74は、EXOR73の“H”の比較結果s73をラッチし、テストクロックtckに同期してその“H”をテストデータ出力信号tdoとして出力する構成にすれば良い。これにより、回路構成が簡単になる。

【0 1 1 8】

(ii) 図8において、オシレータ111に代えて、PLL回路等の他のクロック発生手段を設けても良い。

【0 1 1 9】

(iii) 被テスト回路としてSDRAM20を用いたが、本発明では、SRAM、フラッシュROM、マスクROM等の他の半導体メモリや、あるいはロジック回路等の半導体集積回路といった種々の被テスト回路に適用できる。

【0 1 2 0】

〔発明の効果〕

【0 1 2 1】

以上詳細に説明したように、請求項1、3、4に係る発明によれば、第1のクロックとは非同期の第2のクロックに同期してテストパターンを生成し、このテストパターンにより被テスト回路のテストを行うようにしたので、第2のクロックの周波数を、被テスト回路の実動作周波数に合わせれば、被テスト回路に対する実動作周波数テストを容易に実現できる。しかも、比較結果を出力手段に保持し、第1のクロックに同期して外部へ出力すうようにしたので、第1のクロック

と第2のクロックとの2系統の非同期クロック間のデータ授受を、複雑な回路を必要とせずに、簡単かつ的確に行える。従って、第2のクロックの周波数は、いかなる制限を受けることもなく、任意の周波数を設定することができる。

## 【0122】

請求項2に係る発明によれば、テストパターン終了信号の出力が行えるパターン生成手段を有するので、そのテストパターン終了信号を外部に出力することにより、例えば、テスト回路の内部動作の終了を外部のテストにてモニタできる。これにより、テスト側におけるテストプログラムの作成が容易になる。

## 【0123】

請求項5に係る発明によれば、第1のクロックとは別系統の第2のクロックを発生するクロック発生手段を設けたので、被テスト回路とロジック回路をそれぞれ独立に制御できる。これにより、被テスト回路とロジック回路の並行テストが可能となる。さらに、並行テスト時において、被テスト回路には特定の周波数を与え、ロジック回路に様々な周波数を与えることが可能である。これらのことから、テスト時間の大幅な短縮が期待できる。又、半導体集積回路装置からテストパターン終了信号を出力する構成にすると、例えば、並行テスト時のテストでの複雑な制御を容易にできる。

## 【0124】

請求項6に係る発明によれば、2系統のクロックを用いて容易に、被テスト回路とロジック回路をそれぞれ独立かつ並列にテストできる。しかも、並行テスト時において、被テスト回路には特定の周波数を与え、ロジック回路に様々な周波数を与えることが可能であるので、テスト時間の大幅な短縮が期待できる。

## 【0125】

請求項7に係る発明によれば、テストパターン終了信号をテストでモニタして処理を行うようにしているので、並行テスト時の複雑な制御を容易にできる。

## 【図面の簡単な説明】

## 【図1】

本発明の第1の実施形態を示すBIST回路の構成図である。

## 【図2】

図 1 の B I S T 回路の内部回路の構成図である。

【図 3】

図 2 中のデータラッチ回路の回路図である。

【図 4】

図 1 の動作波形図である。

【図 5】

本発明の第 2 の実施形態を示す B I S T 回路の構成図である。

【図 6】

図 5 の B I S T 回路の内部回路の構成図である。

【図 7】

図 5 の動作波形図である。

【図 8】

本発明の第 3 の実施形態を示すシステム L S I の構成図である。

【図 9】

図 8 のテストフローチャートである。

【図 1 0】

本発明の第 4 の実施形態を示すシステム基板の構成図である。

【図 1 1】

従来の B I S T 回路の構成図である。

【図 1 2】

図 1 1 中の S D R A M の構成図である。

【符号の説明】

2 0        S D R A M

3 5        テスタ

4 0 , 4 0 A        B I S T 回路

5 0        B I S T 制御回路

6 0        パターン生成回路

7 0        データ比較器

8 0        出力制御回路

100, 100A システムLSI

110 コントロールチップ

111 オシレータ

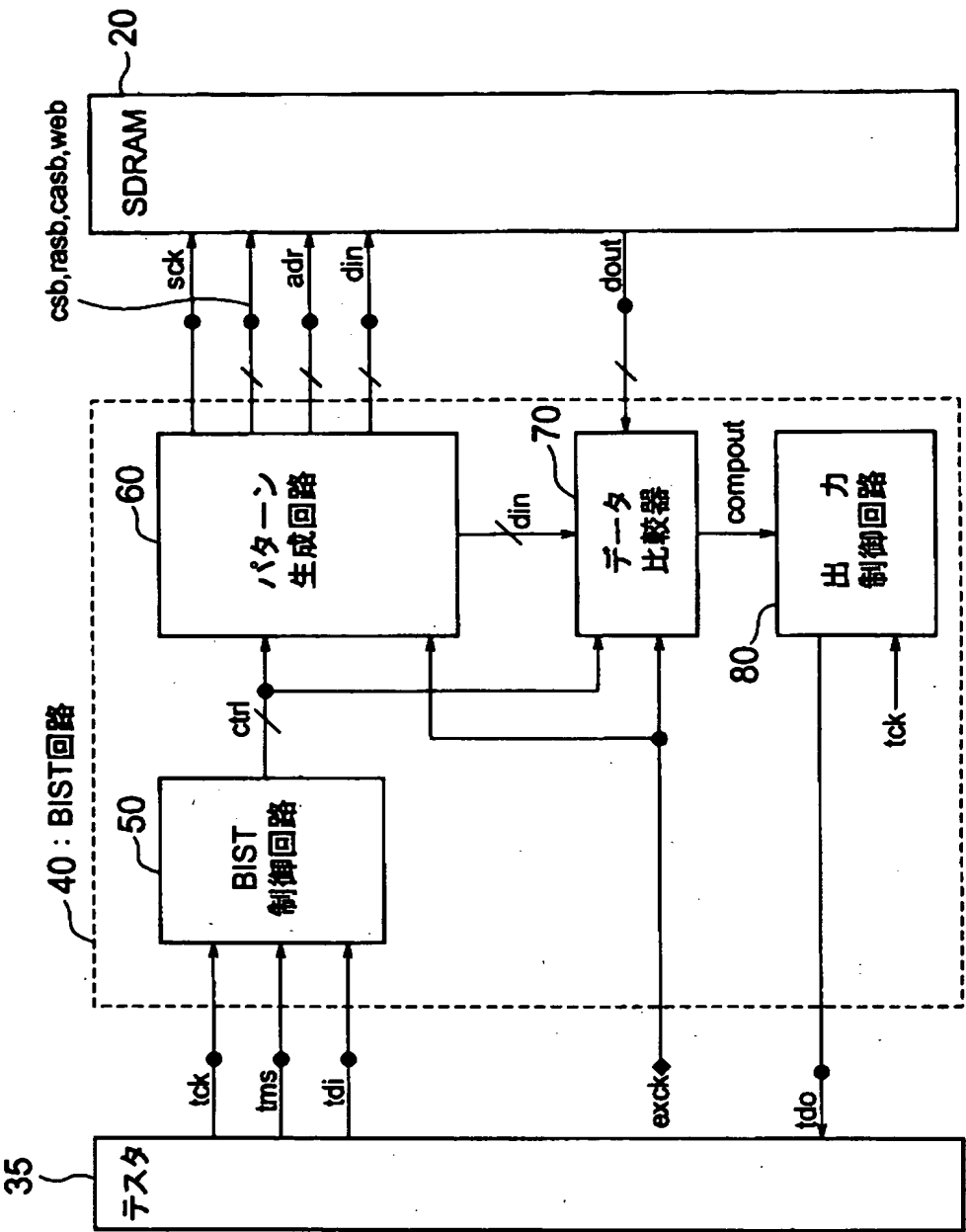
111A 発振器

112 ロジック回路

200 システム基板

【書類名】 図面

【図 1】



本発明の第1の実施形態のBIST回路

【図 2】

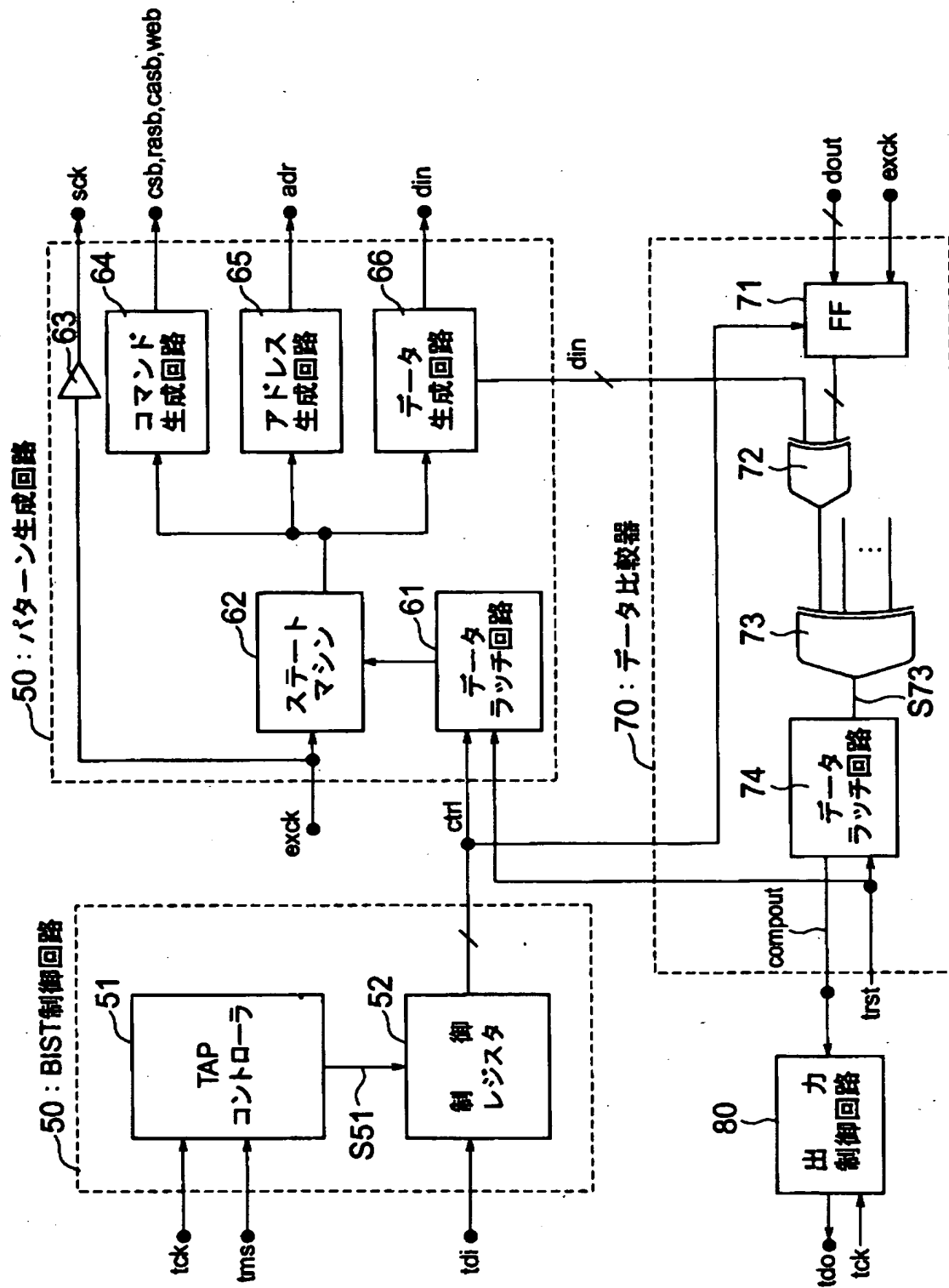


図 1 のBIST回路



【図 3】

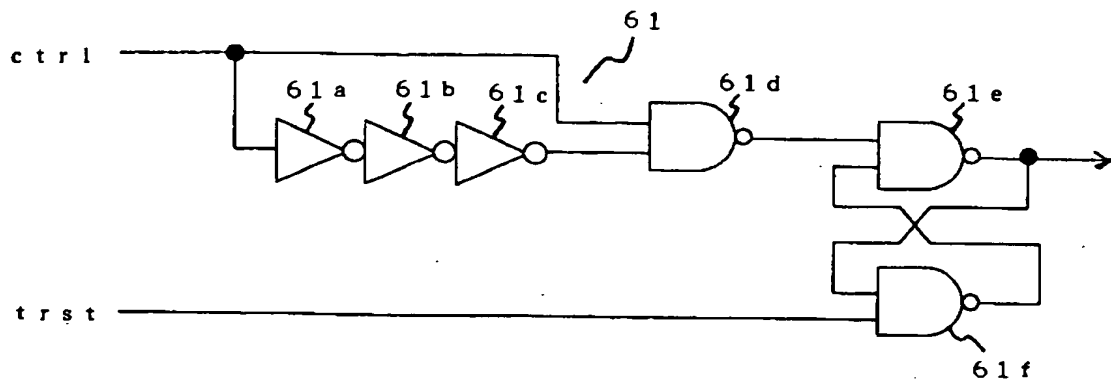


図 2 中のデータラッチ回路

【図 4】

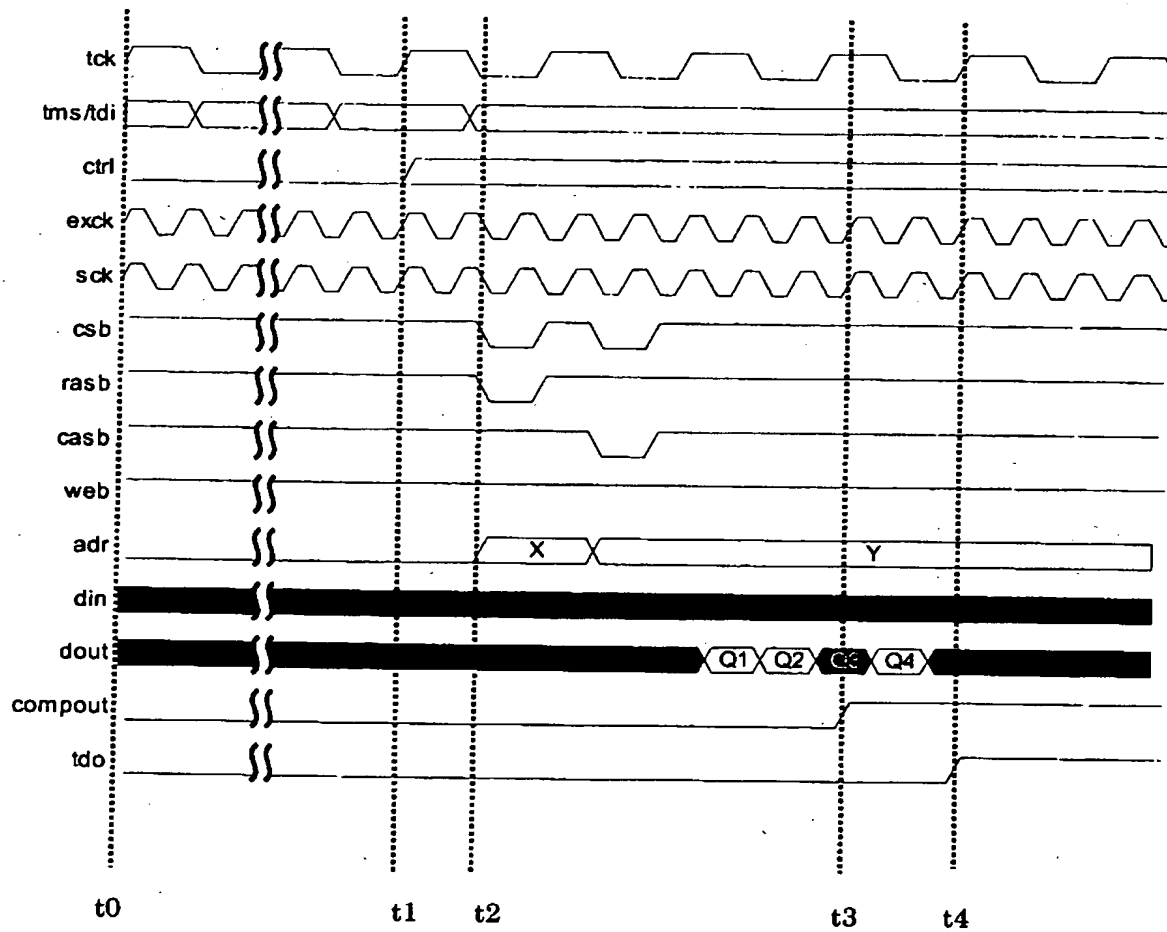
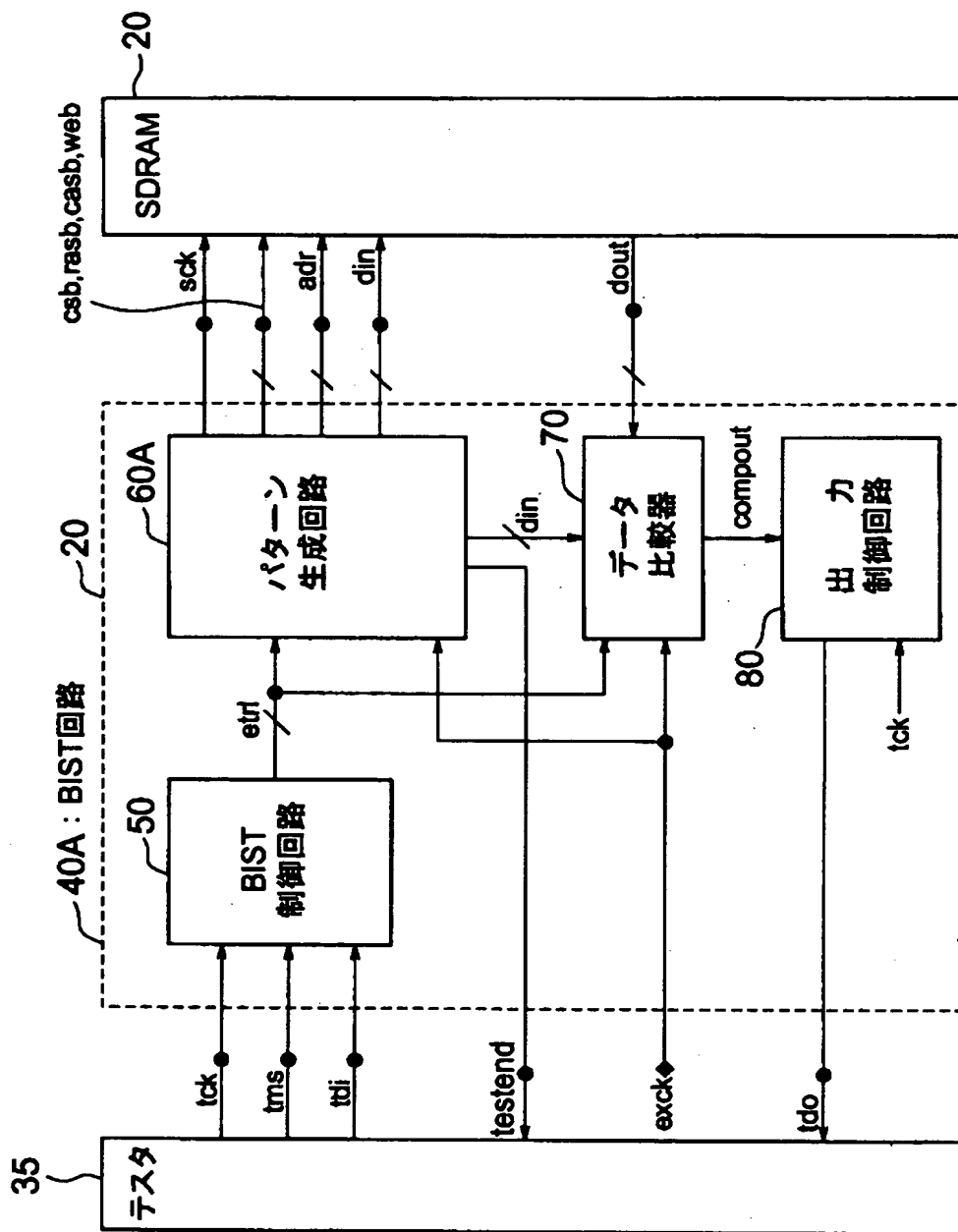


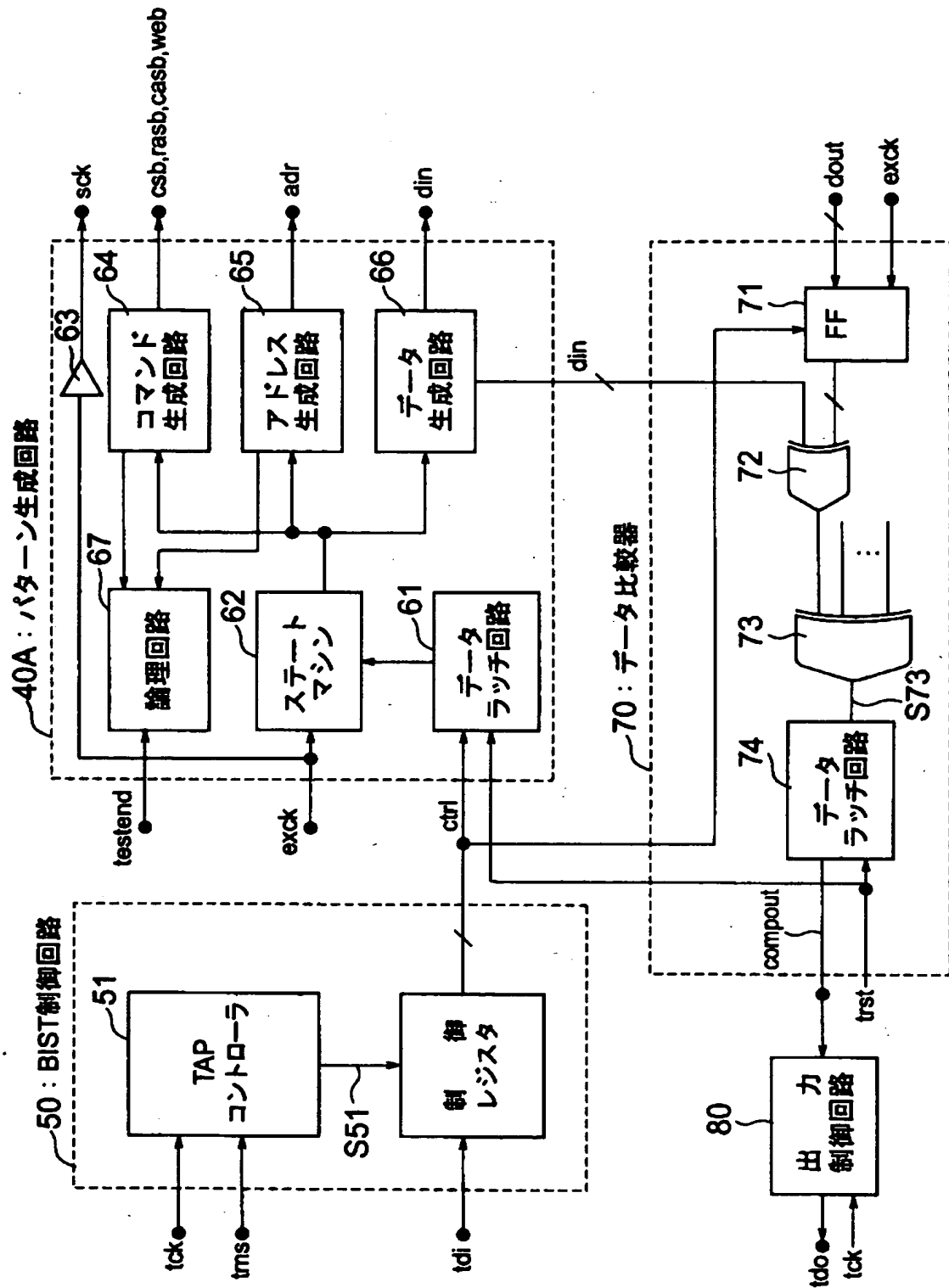
図 1 の動作波形

【図 5】



本発明の第2の実施形態のBIST回路

【図 6】



**図5のBIST回路**

【図 7】

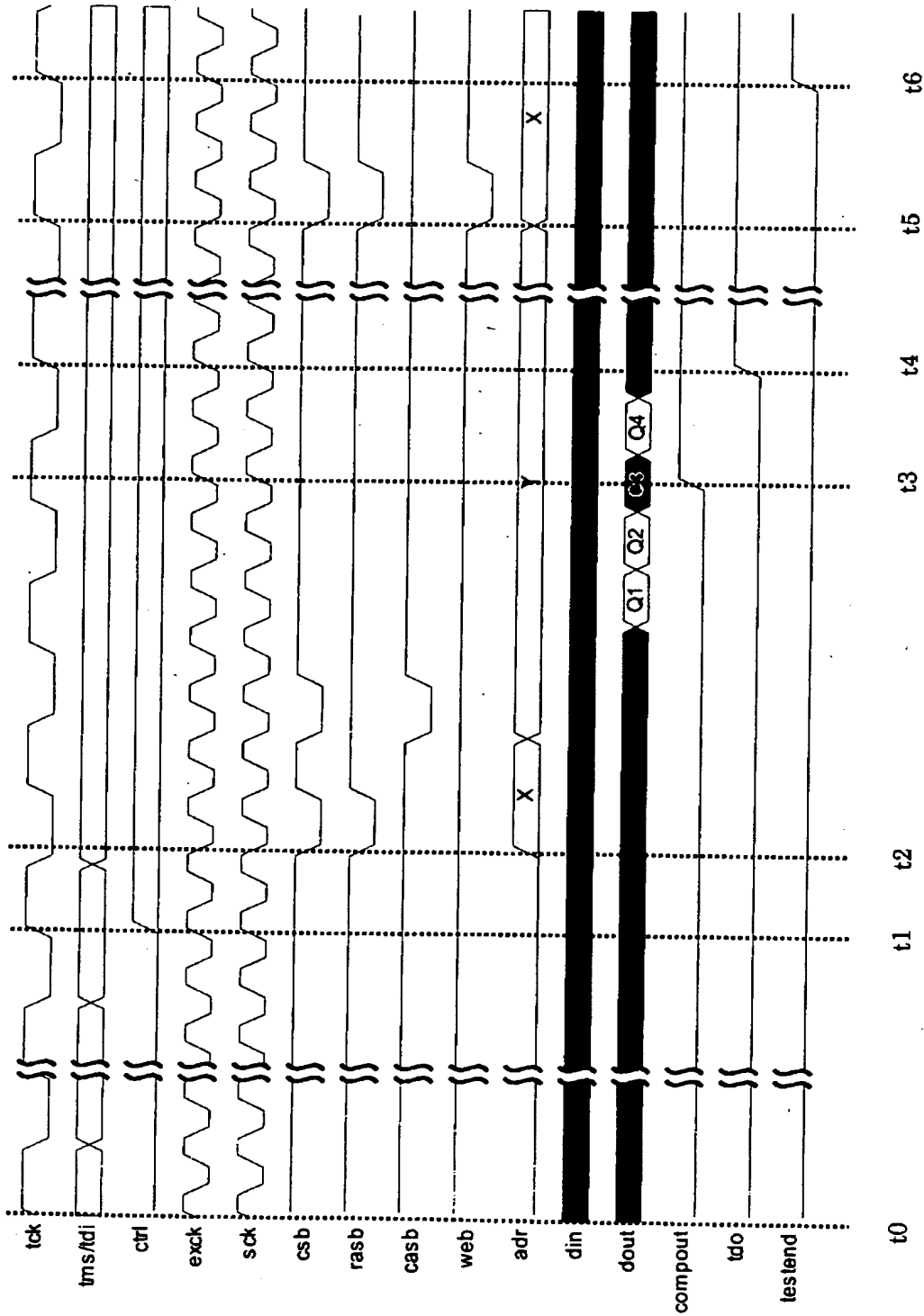
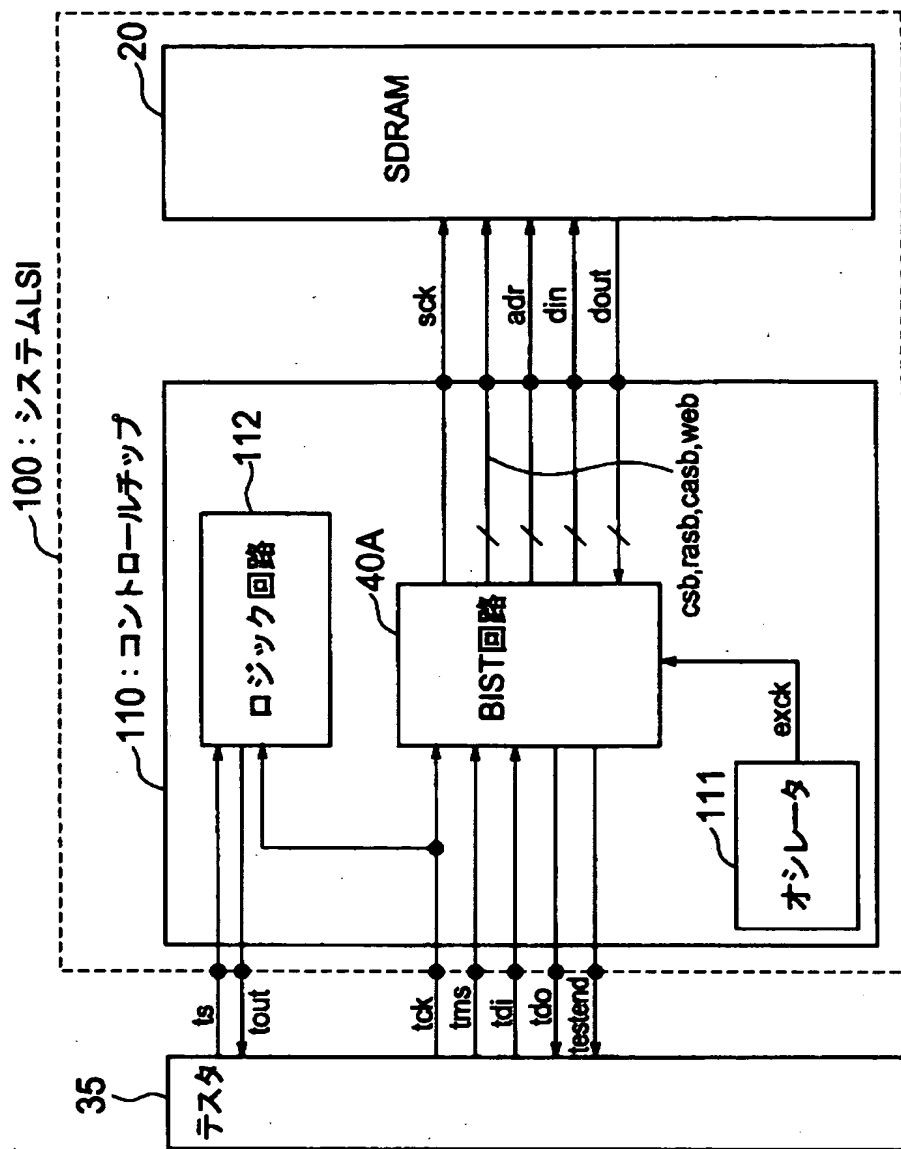


図 5 の動作波形

【図 8】



本発明の第3の実施形態のシステムLSI

【図9】

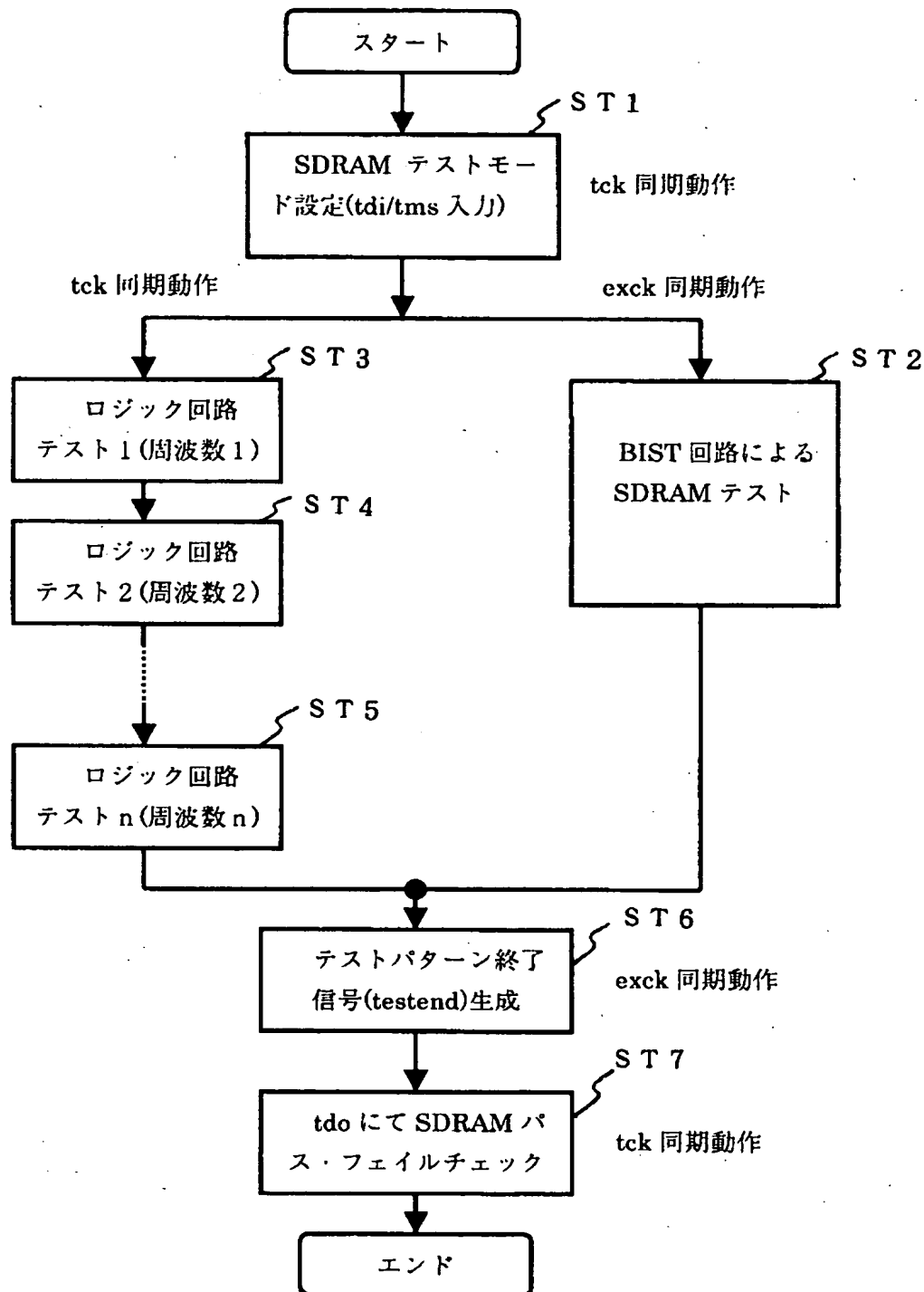
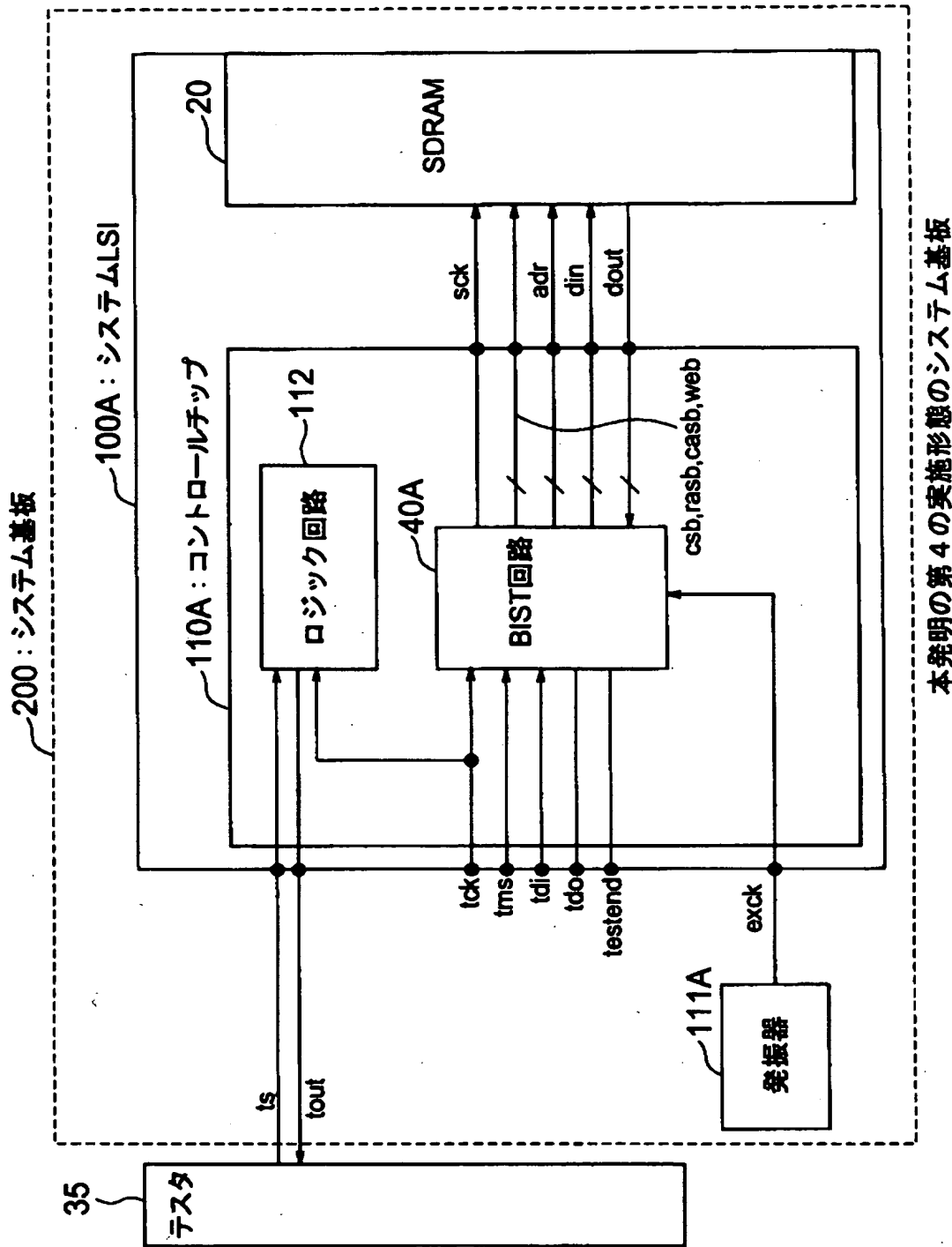


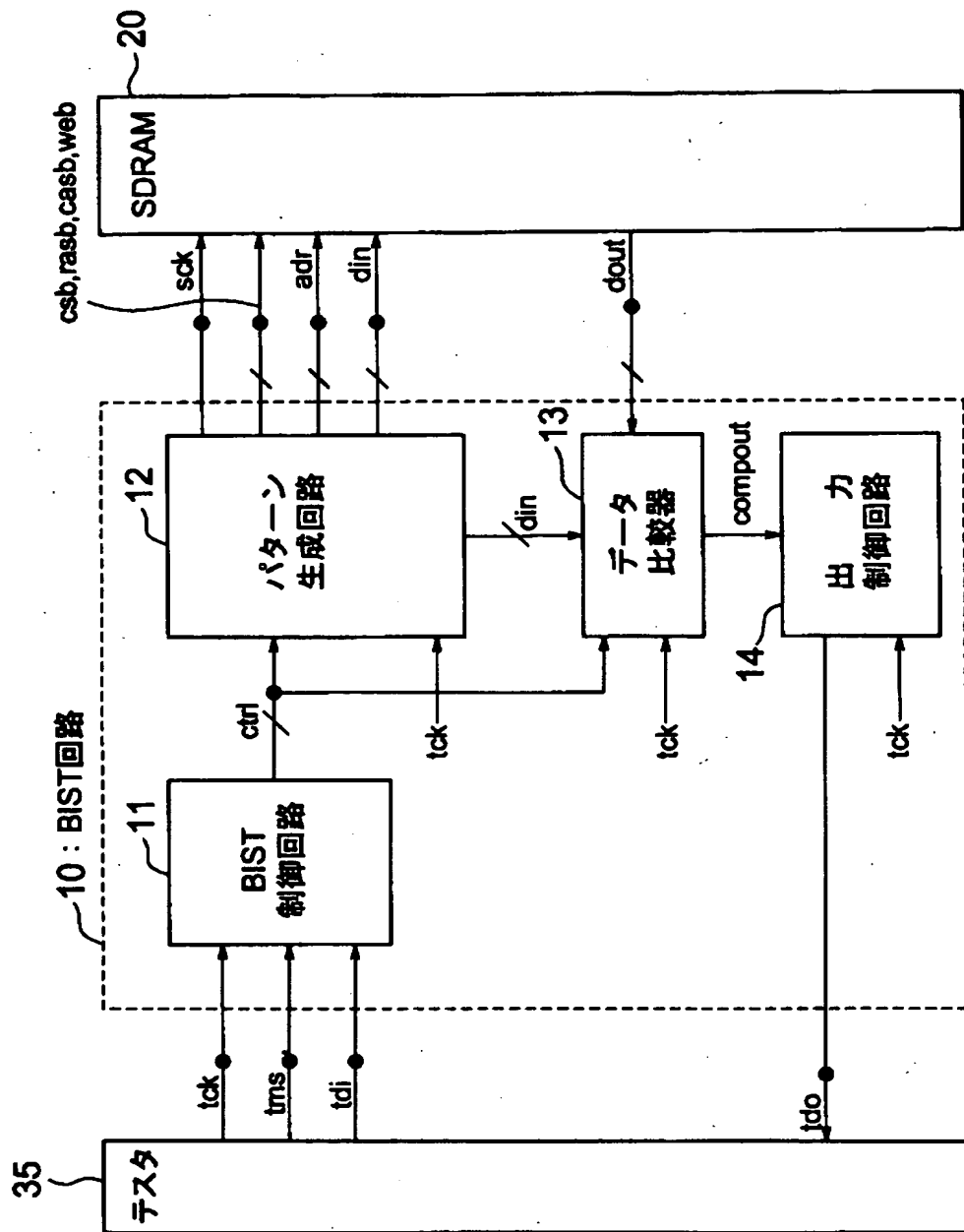
図8のテストフローチャート

【図10】



本発明の第4の実施形態のシステム基板

【図 11】



従来のBIST回路



【図 12】

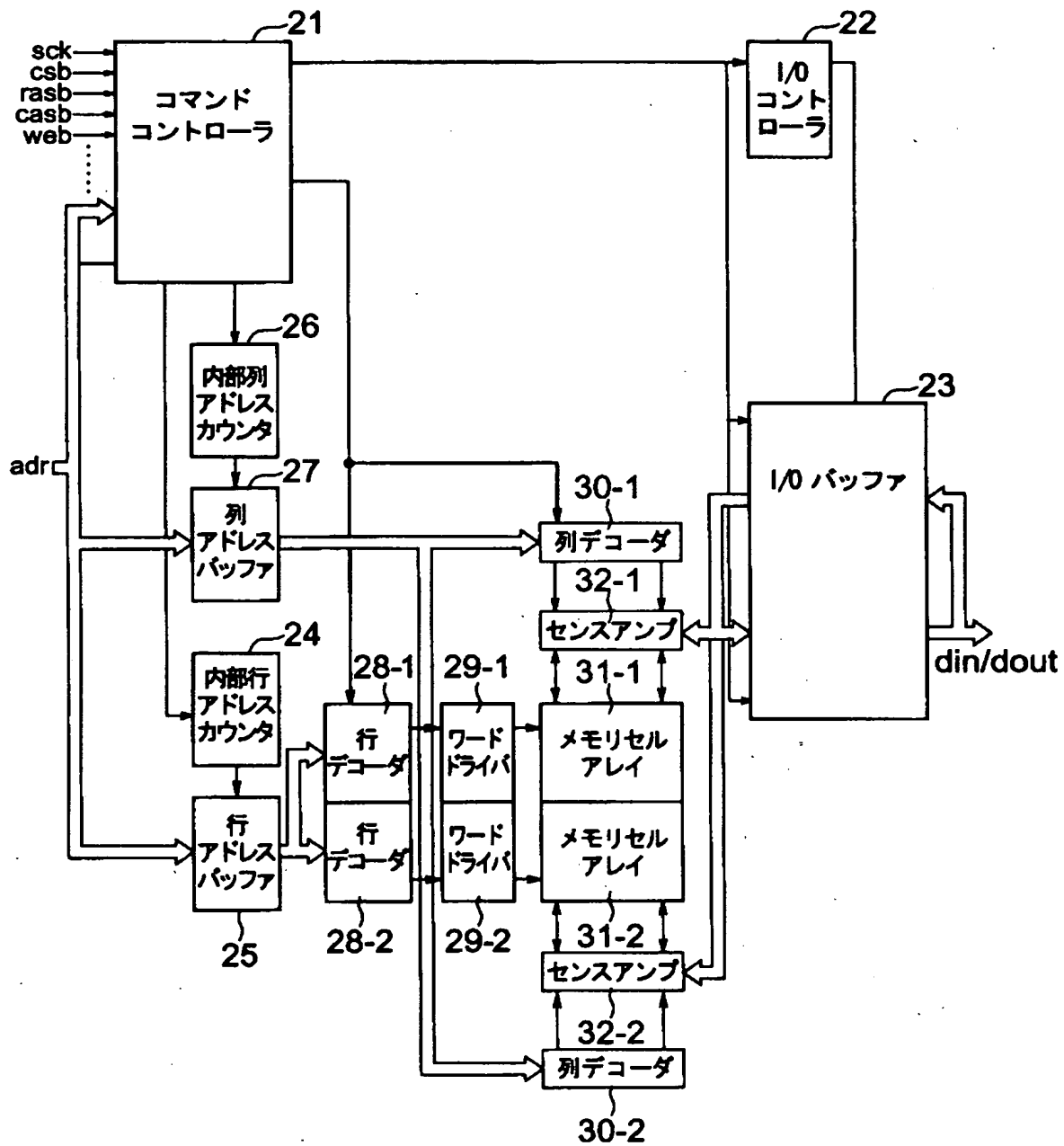


図11中のSDRAM

【書類名】 要約書

【要約】

【課題】 テスト回路（例えば、B I S T (Built-In Self Test) 回路）において、被テスト回路（例えば、高速の半導体メモリ）を実動作周波数で容易にテストする。

【解決手段】 テスタ 3 5 から、テストモード選択用のデータを B I S T 回路 4 0 内の B I S I 制御回路 5 0 に入力すれば、この制御回路 5 0 から、テストクロック t c k に同期してテストモード選択結果が出力される。このテストモード選択結果に基づき、パターン生成回路 6 0 から、外部クロック e x c k に同期してテストパターンが出力され、半導体メモリ 2 0 のテストが行われる。テスト結果 d o u t は、データ比較器 7 0 によって期待値のテストパターン d i n と比較され、この比較結果 compout が出力制御回路 8 0 に保持され、テストクロック t c k に同期して外部へ出力される。

【選択図】 図 1

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 東京都港区虎ノ門1丁目7番12号  
氏 名 沖電気工業株式会社